

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001160617
PUBLICATION DATE : 12-06-01

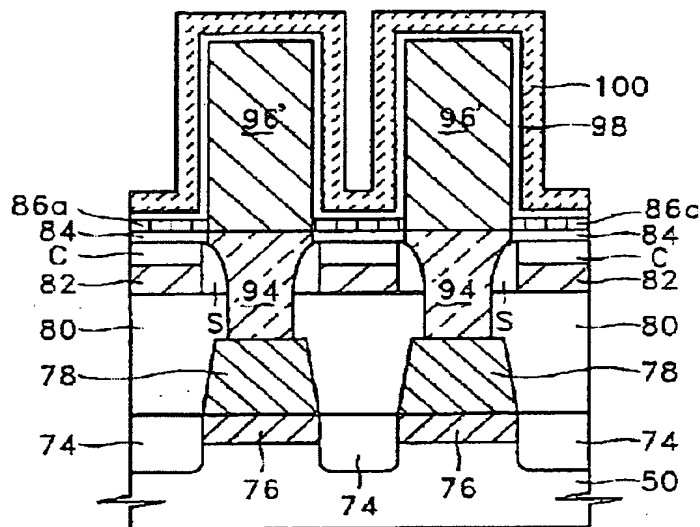
APPLICATION DATE : 12-10-00
APPLICATION NUMBER : 2000312496

APPLICANT : SAMSUNG ELECTRONICS CO LTD;

INVENTOR : HORII HIDEKI;

INT. CL. : H01L 27/108 H01L 21/8242 C25D 5/02
C25D 7/12

TITLE : METHOD OF MANUFACTURING
CAPACITOR OF SEMICONDUCTOR
MEMORY DEVICE BY USING
ELECTROPLATING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method of manufacturing the capacitor of a semiconductor memory device by using an electroplating method.

SOLUTION: A first interlayer insulating film 80 is formed on all the surface of a semiconductor substrate 50 on which a lower electrode electrically connected to an impurity injection region is formed. Then, bit lines 82 are formed on the first interlayer insulating film 80, and then a second interlayer insulating film 84 is formed so as to cover the bit lines 82. In succession, a lower electrode seed layer and a plating mask layer are successively formed on the second interlayer insulating film, and a hole is formed by etching so as to expose the lower electrode pad 78. Then, the hole is filled with a conductive film 96 which is substantially on the same level with the upper surface of the lower electrode seed layer and formed through an electroplating process in which the lower electrode seed layer is used. Then, a residual plating mask layer and the lower electrode seed layer are removed to expose the side wall of the conductive film, by which the lower electrode 96' of a capacitor is formed.

COPYRIGHT: (C)2001,JPO

EL9799-3682

【特許請求の範囲】

【請求項1】 半導体基板上に第1導電層を形成する段階と、

前記第1導電層上に第1絶縁層を形成する段階と、

前記第1絶縁層と第1導電層をパターンニングして前記第1絶縁層にホールを形成して前記第1導電層の側壁を露出させるパターンニング段階と、

前記第1導電層の露出された側壁を電気メッキシードとして用いて電気メッキを行って前記ホール内に第2導電層を形成する電気メッキ段階と、

前記パターンニングされた第2絶縁層と前記パターンニングされた第1導電層の少なくとも一部を除去して電気メッキされた第2導電層を含む第1キャパシタ電極を形成する除去段階と、を含むことを特徴とする集積回路のキャパシタの製造方法。

【請求項2】 前記パターンニング段階は、

前記第1絶縁層と第1導電層とを順次に選択的に蝕刻して前記半導体基板を露出させ、前記第1導電層の側壁を露出させる段階を含むことを特徴とする請求項1に記載の集積回路のキャパシタの製造方法。

【請求項3】 前記電気メッキ段階は、前記第1導電層の露出された両側壁を電気メッキシードとして用いて電気メッキを行って前記ホール内に第2導電層を形成する段階を含む、

前記除去段階は、前記第1導電層を全て除去する段階を含むことを特徴とする請求項2に記載の集積回路のキャパシタの製造方法。

【請求項4】 前記除去段階の後、

前記第1キャパシタの電極上にキャパシタ誘電膜を形成する段階と、

前記キャパシタの誘電膜上の前記第1キャパシタ電極の反対側に第2キャパシタ電極を形成する段階とを含むことを特徴とする請求項3に記載の集積回路のキャパシタの製造方法。

【請求項5】 前記除去段階の後、

前記第1キャパシタ電極上にキャパシタ誘電膜を形成する段階と、

前記キャパシタ誘電膜上に電気メッキシード層を形成する段階と、

電気メッキを行って前記電気メッキシード層上に第2キャパシタ電極を形成する段階とを含むことを特徴とする請求項3に記載の集積回路のキャパシタの製造方法。

【請求項6】 (a) 集積回路基板上に電極パッドを形成する段階と、

(b) 前記電極パッド上に第1層間絶縁膜を形成する段階と、

(c) 前記第1層間絶縁膜上に複数のビットラインを形成する段階と、

(d) 前記複数のビットライン上にシード層を形成する段階と、

(e) 前記シード層上にメッキマスク層を形成する段階と、

(f) 前記メッキマスク層及びシード層を選択的に蝕刻して前記シード層の両側壁を露出させるホールを形成する段階と、

(g) 前記シードの露出された両側壁を電気メッキシードとして用いて電気メッキを行って前記ホール内に第1キャパシタ電極の少なくとも一部を形成する段階とを含むことを特徴とする半導体メモリ素子のキャパシタの製造方法。

【請求項7】 前記(f)の選択的蝕刻の段階は、前記メッキマスク層、シード層及び第1層間絶縁膜を順次に選択的に蝕刻して前記電極パッドを露出させる段階を含む、

前記(g)の電気メッキの段階を行う前に前記露出された電極パッド上に障壁物質膜を形成する段階を含むことを特徴とする請求項6に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項8】 前記障壁物質膜を形成する段階は、

前記ホールの内部及び前記電極パッド上に障壁物質膜を蒸着する段階と、

前記障壁物質膜を蝕刻して前記シード層の両側壁を露出させる段階とを含むことを特徴とする請求項7に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項9】 前記障壁物質膜及びシード層は相異なる物質よりなり、前記(g)の電気メッキの段階後にメッキマスク層及びシード層を除去して前記第1キャパシタ電極を露出させる段階を含むことを特徴とする請求項8に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項10】 前記(g)の電気メッキの段階の後、前記第1キャパシタ電極上にキャパシタ誘電膜を形成する段階と、

前記キャパシタの誘電膜上に第2キャパシタ電極を形成する段階とを含むことを特徴とする請求項6～9のいずれか一つに記載の半導体メモリ素子のキャパシタ製造方法。

【請求項11】 (a) 半導体基板上の活性領域と電氣的に連結された導電領域が形成されている半導体基板上に下部電極用シード層を形成する段階と、

(b) 前記シード層上にメッキマスク層を形成する段階と、

(c) 前記シード層及び前記メッキマスク層をパターンニングしてキャパシタの下部電極が形成される領域を定義するシード層パターン及びメッキマスク層パターンを形成することによって、前記導電領域及び前記メッキマスク層パターンの側壁を露出させるホールを形成する段階と、

(d) 前記ホールによって側壁が露出された前記シード層パターンを用いて電気メッキ工程を行うことによって、前記ホールの内部に下部電極用導電膜を形成する段

階と、

(e) 前記導電膜の側壁が露出されるように前記メッキマスク層パターン及び前記下部電極用シード層パターンを除去することによってキャパシタの下部電極を形成する段階とを含むことを特徴とする半導体メモリ素子のキャパシタの製造方法。

【請求項12】 前記シード層は白金族金属膜、白金族金属酸化物膜、ペロブスカイト構造を有する導電性物質膜、導電性金属膜、金属シリサイド膜、金属窒化物膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項13】 前記シード層はPt膜、Rh膜、Ru膜、Ir膜、Os膜、Pd膜、PtO₂膜、RhO₂膜、RuO₂膜、IrO₂膜、OsO₂膜、PdO₂膜、CaRuO₃膜、SrRuO₃膜、BaRuO₃膜、BaSrRuO₃膜、CaIrO₃膜、SrIrO₃膜、BaIrO₃膜、(La, Sr)CoO₃膜、Cu膜、Al膜、Ta膜、Mo膜、W膜、Au膜、Ag膜、WSi_x膜、TiSi_x膜、CoSi_x膜、MoSi_x膜、TaSi_x膜、TiN膜、Ta₂N膜、WN膜、TiSiN膜、TiAlN膜、TiBN膜、ZrSiN膜、ZrAlN膜、MoSiN膜、MoAlN膜、TaSiN膜、TaAlN膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項14】 前記メッキマスク層はBPSG膜、SiOG膜、PSG膜、フォトレジスト膜、DLC膜、SiO₂膜、SiN_x膜、SiON_x膜、TiO₂膜、AlO_x膜、AlN_x膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項15】 前記(d)段階は、メッキ液としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Niまたはこれらの組合を含む金属塩が溶解されたメッキ液を使用し、陽極としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Niまたはこれらの組合よりなる合金を使用し、陰極として前記シード層パターンを使用することを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項16】 前記メッキマスク層パターン及びシード層パターンは各々湿式または乾式蝕刻方法で除去されることを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項17】 前記メッキマスク層パターン及び下部電極用シード層パターンは1回の湿式または乾式蝕刻工程を行って除去することを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項18】 前記キャパシタの下部電極上に誘電膜を形成する段階と、

前記誘電膜上にキャパシタの上部電極を形成する段階をさらに含むことを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項19】 前記誘電膜はTa₂O₅膜、SrTiO₃膜、(Ba, Sr)TiO₃膜、PbZrTiO₃膜、SrBi₂Ta₂O₉膜、(Pb, La)(Zr, Ti)O₃膜、Bi₄Ti₃O₁₂膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項18に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項20】 前記キャパシタの上部電極はCVD方法、スパッタリング方法、MOD方法またはPtコロイドのスピニング方法で形成されることを特徴とする請求項18に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項21】 前記誘電膜上に上部電極用シード層を形成する段階をさらに含み、

前記キャパシタの上部電極は前記上部電極用シード層を用いた電気メッキ方法によって形成されることを特徴とする請求項20に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項22】 前記上部電極用シード層は白金族金属膜、白金族金属酸化物膜、ペロブスカイト構造を有する導電性物質膜、導電性金属膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項21に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項23】 前記キャパシタの上部電極の形成段階は、

メッキ液としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Cu、Mo、Co、Ni、Zn、Cr、Feまたはこれらの組合を含む金属塩が溶解されたメッキ液を使用し、

陽極としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Cu、Mo、Co、Ni、Zn、Cr、Feまたはこれらの合金を使用し、

陰極として前記上部電極用シード層を使用することを特徴とする請求項21に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項24】 半導体基板上に蝕刻阻止膜を形成する段階をさらに含み、

前記下部電極用シード層は前記蝕刻阻止膜上に形成され、

前記ホールは前記メッキマスク層、前記下部電極用シード層及び前記蝕刻阻止膜をパターニングすることによって形成することを特徴とする請求項11に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項25】 前記蝕刻阻止膜はSi₃N₄膜、Ta₂O₅膜、TiO₂膜、Al₂O₃膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項24に

記載の半導体メモリ素子のキャパシタの製造方法。

【請求項26】 (a) 半導体基板の活性領域上に導電物質よりなる下部電極パッドを形成する段階と、

(b) 前記下部電極パッド上に第1層間絶縁膜を形成する段階と、

(c) 前記第1層間絶縁膜上にビットラインを形成する段階と、

(d) 前記ビットライン上に第2層間絶縁膜を形成する段階と、

(e) 前記第2層間絶縁膜上に下部電極用シード層を形成する段階と、

(f) 前記下部電極用シード層上にメッキマスク層を形成する段階と、

(g) 前記メッキマスク層、前記下部電極用シード層、前記第2層間絶縁膜及び前記第1層間絶縁膜を写真蝕刻工程でパターニングして前記下部電極パッドを露出させるホールを形成する段階と、

(h) 前記ホール内部を導電膜として充填するが、少なくとも前記下部電極用シード層の上部表面と実質的に同一なレベル上に形成される導電膜は前記パターニングされた下部電極用シード層を用いた電気メッキ工程を行って形成する段階と、

(i) 前記パターニングされたメッキマスク層及び前記下部電極用シード層を除去して導電膜の側壁を露出させることによって、キャパシタの下部電極を形成する段階とを含むことを特徴とする半導体メモリ素子のキャパシタの製造方法。

【請求項27】 前記下部電極用シード層は白金族金属膜、白金族金属酸化物膜、ペロブスカイト構造を有する導電性物質膜、導電性金属膜、金属シリサイド膜、金属窒化物膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項28】 前記(h)段階は、前記ホールの底部に露出された前記下部電極パッド上に導電性障壁膜を形成するが、前記ホールによって露出された下部電極用シード層の側壁を覆わないように形成する段階と、

前記パターニングされた下部電極用シード層を用いた電気メッキ工程を行って前記障壁膜上に下部電極用導電膜を形成する段階を含むことを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項29】 前記障壁膜を形成する段階は、前記ホール内部及び前記メッキマスク層上に障壁物質を形成する段階と、

前記障壁膜の上部を除去して前記パターニングされたメッキマスク層の上面を露出させる段階と、

前記ホール内の障壁物質を選択的に除去して前記パターニングされた下部電極用シード層の側壁を露出させる段階を含むことを特徴とする請求項28に記載の半導体メ

モリ素子のキャパシタの製造方法。

【請求項30】 前記障壁膜は金属シリサイド膜、金属窒化物膜、ドーピングされたポリシリコン膜またはこれらの組合よりなる多重膜で形成されることを特徴とする請求項29に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項31】 前記電気メッキ工程は、メッキ液としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Niまたはこれらの組合を含む金属塩が溶解されたメッキ液を使用し、ソース電極としてPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Niまたはこれらの合金を使用し、

陰極として前記パターニングされた下部電極用シード層を使用することを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項32】 前記(i)段階は、前記パターニングされたメッキマスク層及び下部電極用シード層を湿式または乾式蝕刻工程を行って除去する段階であることを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項33】 前記(i)段階は、前記パターニングされたメッキマスク層及び下部電極用シード層を1回の湿式または乾式蝕刻工程を行って除去する段階であることを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項34】 前記下部電極用シード層の形成前に前記第2層間絶縁膜上に蝕刻阻止膜を形成する段階をさらに含み、

前記下部電極用シード層は前記蝕刻阻止膜上に形成され、

前記ホール形成段階で前記蝕刻阻止膜もパターニングされることを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項35】 前記蝕刻阻止膜は Si_3N_4 膜、 Ta_2O_5 膜、 TiO_2 膜または Al_2O_3 膜よりなることを特徴とする請求項34に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項36】 前記(d)段階を進行する前に、前記ビットラインの側壁及び上部表面上に前記第2層間絶縁膜と蝕刻選択比を有する物質膜としてスペーサ及びキャッピング絶縁膜を各々形成する段階をさらに含み、前記(g)段階は前記スペーサ及びキャッピング絶縁膜によってマスキングされたビットラインによって自己整合されたホールを形成する段階であることを特徴とする請求項26に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項37】 前記(h)段階を進行する前に、前記ホールによって露出された下部電極用シード層の側壁に電氣的に連結されるライナーシード層を前記ホール

の底部に形成する段階をさらに含むことを特徴とする請求項２６に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項３８】 前記ライナーシード層の形成段階は、前記パターニングされた下部電極用シード層の側壁上に半球形シードを形成する段階と、

前記半球形シードを低温で反応性イオン蝕刻して半球形シードを構成する物質をホールの底部に再蒸着する段階とを含むことを特徴とする請求項３７に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項３９】 前記半球形シードの半径は前記ホールの幅の $1/2$ 未満であることを特徴とする請求項３８に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４０】 前記半球形シードは前記導電膜と同種の物質膜よりなることを特徴とする請求項３８に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４１】 前記ライナーシード層の形成段階は、前記ホールの形成された半導体基板の全面を導電物質でライニングする段階と、

前記導電物質を低温で反応性イオン蝕刻して前記ライナーシード層をスペーサの形に形成する段階とを含むことを特徴とする請求項３７に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４２】 前記導電膜は前記下部電極用導電膜と同種の物質膜よりなることを特徴とする請求項４１に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４３】 前記下部電極パッドを多重膜で形成することを特徴とする請求項３７に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４４】 前記下部電極パッドの最上部層は導電性障壁膜からなるように前記下部電極パッドを形成することを特徴とする請求項４３に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４５】 前記下部電極パッドは導電性ポリシリコン膜と金属窒化物膜が順次に積層された２重膜構造で形成することを特徴とする請求項４４に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４６】 前記下部電極パッドの最上部層は白金族金属膜で、その下部には少なくとも１層の導電性障壁膜が含まれるように前記下部電極パッドを形成し、前記ライナーシード層は前記下部電極パッドの最上部層の白金族金属膜を低温で反応性イオン蝕刻して形成することを特徴とする請求項４３に記載の半導体メモリ素子のキャパシタの製造方法。

【請求項４７】 前記下部電極パッドの最上部層の白金族金属膜は前記下部電極用導電膜と同じ物質からなるように前記下部電極パッドを形成することを特徴とする請求項４６に記載の半導体メモリ素子のキャパシタの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は半導体メモリ素子の製造方法に係り、特に電気メッキ方法を用いて半導体メモリ素子のキャパシタを製造する方法に関する。

【０００２】

【従来の技術】最近、半導体メモリ素子の集積度が増加するにつれ、制限されたセル面積内でキャパシタの静電容量を増加させるための方法として、キャパシタの誘電膜を薄膜化してキャパシタの内部に形成される電場を強化させる方法と、キャパシタの下部電極の構造を立体化させてキャパシタの有効面積を増加させる方法などが提案されている。

【０００３】しかし、前述したような方法を採用しても TiO_2 膜または SiO_2 膜のような通常の誘電膜をキャパシタの誘電膜として使用すれば１Ｇビット以上の集積度を有する半導体メモリ素子では素子作動に必要な静電容量を確保しにくい問題がある。従って、このような問題を解決するために $(Ba, Sr)TiO_3$ (BST)、 $PbZrTiO_3$ (PZT)、 $(Pb, La)(Zr, Ti)O_3$ (PLZT)のような強誘電膜または高誘電膜としてキャパシタ誘電膜を形成しようとする研究が活発に進行されている。

【０００４】例えば、高誘電膜または強誘電膜をキャパシタ誘電膜として形成する従来の技術に係る半導体メモリ素子の製造方法によれば、まずドーピングされたポリシリコンよりなる下部電極のパッドを半導体基板上に形成された不純物注入領域上に形成する。その後、下部電極のパッドと電気的に連結する下部電極コンタクトを形成した後、前記下部電極コンタクト上にキャパシタの下部電極を形成する。それから、前記キャパシタの下部電極上に高誘電膜または強誘電膜よりなるキャパシタ誘電膜を形成し、前記キャパシタ誘電膜を結晶化して絶縁特性を強化させることによってキャパシタの静電容量の向上とキャパシタ漏れ電流の減少のために酸素雰囲気下の高温熱処理工程を行う。

【０００５】ところが、前記高温熱処理工程は $600^{\circ}C$ 乃至 $900^{\circ}C$ の高温及び酸素雰囲気下で行われるために、キャパシタの下部電極を一般の電極物質のドーピングされたポリシリコンで形成する場合、前記高温熱処理工程を行う過程でキャパシタの下部電極が酸化されてコンタクト抵抗が劣化したり、前記キャパシタの誘電膜とキャパシタの下部電極との間に金属シリサイド膜が形成されるなどの問題が発生する。

【０００６】このため、高誘電膜または強誘電膜を使用して半導体メモリ素子のキャパシタを製造する場合には、白金族元素またはその酸化物、例えばPt、Ir、Ru、 RuO_2 、 IrO_2 などを電極物質として使用することが一般的である。

【０００７】従来の技術では、白金族金属を用いて下部電極を形成するために、先に前記白金族金属よりなる導

電膜を形成した後、これを乾式蝕刻方法でパターニングして下部電極を形成した。

【0008】しかし、白金族金属よりなる導電膜は、乾式蝕刻方法で揮発性のあるガス状態への変換が困難であり、よって下部電極を単位セル別に分離しにくいことが知られている。従って、300nm以下の下部電極幅を有する半導体メモリ素子、特に4Gビット以上の集積度を有する半導体メモリ素子の製造時には乾式蝕刻方法によって下部電極を形成するのに限界があるため、乾式蝕刻方法以外の方法でキャパシタの下部電極を形成する方法が多様に提案されている。

【0009】従って、以下では電気メッキ方法を用いてキャパシタの下部電極を白金族金属で形成する従来の技術について図面に基づいて詳しく説明する。

【0010】図1乃至図3は、Pt膜よりなるキャパシタの下部電極を、電気メッキ方法を用いて形成する方法を説明するための工程断面図である。

【0011】図1を参照すれば、電気メッキ方法を用いてキャパシタの下部電極を形成する従来の技術によれば、まず半導体基板10上の不純物注入領域（図示せず）上に導電性ポリシリコンよりなる下部電極パッド12を形成する。次いで、隣接する下部電極パッド12を電気的に分離させる層間絶縁膜14を下部電極パッド12上に形成する。次いで、前記層間絶縁膜14を写真蝕刻工程でパターニングして下部電極パッド12を露出させるホール16を形成した後、ホール16の底面、側壁及び層間絶縁膜14の上面に白金族金属よりなる下部電極用シード層18を形成する。次いで、前記下部電極用シード層18上に下部電極が形成される領域のみを露出させて下部電極の形態を定義するメッキマスク層パターン20をホール16の周りに形成する。

【0012】下部電極用シード層18とメッキマスク層パターン20を形成した後は、電気メッキ方法を用いたキャパシタの下部電極形成工程が進行される。例えば、Ptよりなるキャパシタの下部電極を形成するためには、まずPtを含む金属塩が溶解されたメッキ液（plating solution）に半導体基板10を浸けた状態で、パワーソース（power source）22の陰極は第1配線24を通して下部電極用シード層18に連結し、パワーソース22の陽極は第2配線26を通してPtよりなるソース電極28に連結する。すると、下部電極用シード層18上でPtが析出されてメッキマスク層パターン20の上部表面と実質的に同じレベルにPt膜が形成される。その結果、点線を境界としてホール16の底部には下部電極コンタクト30が形成され、下部電極コンタクト30上にはキャパシタ下部電極32が形成される。

【0013】図2を参照すれば、電気メッキ方法を用いて下部電極コンタクト30及びキャパシタの下部電極32を形成した後、湿式蝕刻方法でメッキマスク層パター

ン20を除去する。次いで、メッキマスク層パターン20の除去によって露出される層間絶縁膜14の上部表面上の下部電極用シード層18を除去して下部電極32を単位セル別に分離させる。

【0014】ところが、下部電極用シード層18がPtよりなる場合には、メッキマスク層パターン20の除去により露出された下部電極用シード層18を乾式蝕刻方法によって除去すべきである。しかし、Ptは乾式蝕刻方法を用いても揮発性のある気相化合物に変換させるに難点があるために、キャパシタの下部電極を単位セル別に分離しにくい。特に、デザインルールが0.15μm以下の半導体メモリ素子の製造においては、前記下部電極32の間で露出される下部電極用シード層18のピッチがさらに減少してキャパシタの下部電極を単位セル別に分離することもさらに難しくなる。

【0015】従って、このような問題を解決するために下部電極用シード層18を乾式蝕刻方法で揮発性のある気相化合物への変換が容易なRuで形成する方法が提案された。しかし、Ruで下部電極用シード層18を形成すればPtよりなる下部電極コンタクト30とノード分離後残留する下部電極用シード層18との間の界面でPtとRuの合金が形成され、後続するキャパシタ誘電膜の熱処理段階で問題が招かれる。これに対しては図3を参照して以下で説明する。

【0016】図3を参照すれば、ノード分離工程を行ってキャパシタの下部電極32を単位セル別に分離させた後、その結果物の全面に強誘電物質または高誘電物質よりなる誘電膜33を形成する。次いで、誘電膜33の絶縁特性を強化するために酸素雰囲気下で高温熱処理工程（矢印参照）が進行される。ところが、ノード分離後残留する下部電極用シード層18がRuの場合には、Ruよりなる下部電極用シード層18とPtよりなる下部電極コンタクト30間の界面でPtとRuの合金が形成され、合金内に含まれた元素のうち耐酸化性がPtより弱いRuが誘電膜33の高温熱処理段階で酸化することになる。このように、誘電膜33の高温熱処理段階でPtより大きな体積を有するRuの酸化物が生成されるとキャパシタ下部電極32の形状を変化させ、その結果、誘電膜33に物理的ストレスを誘発してキャパシタ下部電極32と誘電膜33と間の界面特性を劣化させることになる。これにより、キャパシタの漏れ電流を増加させるという問題点がある。

【0017】

【発明が解決しようとする課題】本発明が解決しようとする技術的課題は、電気メッキ方法を使用してキャパシタの下部電極を形成しても電気メッキ工程で用いられた下部電極用シード層の除去が容易で、完成されたキャパシタには下部電極用シード層が残留しない半導体メモリ素子のキャパシタの製造方法を提供することである。

【0018】本発明が解決しようとする他の技術的課題

は、電気メッキ方法でキャパシタの下部電極を形成する時、下部電極用シード層とキャパシタの下部電極とを相異なる物質で形成する場合にもキャパシタの電気的特性が下部電極用シード層によって劣化されることを防止しうる半導体メモリ素子のキャパシタの製造方法を提供することである。

【0019】本発明が解決しようとするさらに他の技術的課題は、キャパシタの下部電極を形成するための電気メッキ工程を行う前に、障壁物質よりなる下部電極コンタクトの形成が不要な半導体メモリ素子のキャパシタの製造方法を提供することである。

【0020】

【課題を解決するための手段】前記技術的課題を達成するための本発明による電気メッキ方法を用いた半導体メモリ素子の製造方法は、まず半導体基板上の活性領域と電氣的に連結された導電領域が形成されている半導体基板上に下部電極用シード層を形成する。次いで、前記シード層上にメッキマスク層を形成する。次いで、前記シード層及び前記メッキマスク層をパターニングしてシード層パターン及びメッキマスク層パターンを形成することによって、キャパシタの下部電極が形成される領域を定義して前記導電領域を露出させるホールを形成する。次いで、前記ホールによって側壁が露出された前記シード層パターンを用いて電気メッキ工程を行うことによって、前記ホールの内部に下部電極用導電膜を形成する。その後、前記導電膜の側壁が露出されるように前記メッキマスク層パターン及び前記下部電極用シード層パターンを除去することによってキャパシタの下部電極を形成する。その後、キャパシタの下部電極上にキャパシタ誘電膜を形成し、キャパシタ誘電膜上にはキャパシタの上部電極を形成する。

【0021】前記シード層は白金族金属膜、白金族金属酸化物膜、ペロブスカイト構造を有する導電性物質膜、導電性金属膜、金属シリサイド膜、金属窒化物膜またはこれらの組合よりなる多重膜で形成しうる。

【0022】前記メッキマスク層はBPSG (boro-phospho-silicate glass) 膜、SOG (spin-on-glass) 膜、PSG (phospho-silicate-glass) 膜、フォトレジスト膜、DLC (diamond like carbon) 膜、 SiO_x 膜、 SiN_x 膜、 SiON_x 膜、 TiO_x 膜、 AlO_x 膜、 AlN_x 膜またはこれらの組合よりなる多重膜で形成しうる。

【0023】前記メッキマスク層パターン及びシード層パターンは各々湿式または乾式蝕刻工程を行って除去しうる。場合に応じて、前記メッキマスク層パターン及び下部電極用シード層パターンは1回の湿式または乾式蝕刻工程を行って除去することもできる。

【0024】前記下部電極用シード層を形成する前に蝕刻阻止膜を形成しうる。このような場合、前記下部電極

用シード層は前記蝕刻阻止膜上に形成され、前記ホールは前記メッキマスク層、前記下部電極用シード層及び前記蝕刻阻止膜をパターニングすることによって形成される。

【0025】前記キャパシタの上部電極は電気メッキ方法で形成しうる。

【0026】また、本発明による電気メッキ方法を用いた半導体メモリ素子のキャパシタの製造方法は、まず半導体基板の活性領域上に導電物質よりなる下部電極パッドを形成した後、前記下部電極パッド上に第1層間絶縁膜を形成する。次いで、前記第1層間絶縁膜上にビットラインを形成し、ビットライン上には第2層間絶縁膜を形成する。次いで、前記第2層間絶縁膜上に下部電極用シード層を形成し、前記下部電極用シード層上にはメッキマスク層を形成する。その後、前記メッキマスク層、前記下部電極用シード層、前記第2層間絶縁膜及び前記第1層間絶縁膜をパターニングして前記下部電極パッドを露出させるホールを形成する。次いで、前記ホールの内部を導電膜として充填するが、少なくとも前記下部電極用シード層の上部表面と実質的に同じレベル上の導電膜はパターニングされた下部電極用シード層を用いた電気メッキ工程を行って形成する。その後、パターニングされた前記メッキマスク層及び前記下部電極用シード層を除去して前記導電膜の側壁を露出させることによってキャパシタの下部電極を形成する。次いで、キャパシタ下部電極上にキャパシタ誘電膜を形成し、キャパシタ誘電膜上にはキャパシタ上部電極を形成する。

【0027】前記導電膜の形成段階は次の通り進行される。まず、前記ホールの底部で露出された前記下部電極パッド上に導電性障壁膜を形成するが、前記ホールによって露出された下部電極用シード層の側壁を覆わないように形成する。次いで、前記パターニングされた下部電極用シード層を用いた電気メッキ工程を行って前記障壁膜上に下部電極用導電膜を形成する。

【0028】前記障壁膜の形成段階は次のように進行される。まず、前記ホールの内部及びパターニングされた前記メッキマスク層上に障壁物質を形成する。次いで、前記障壁物質の上部を除去してパターニングされたメッキマスク層の上面を露出させる。引き続き、前記ホール内に形成されている障壁物質を選択的に除去してパターニングされた下部電極用シード層の側壁を露出させる。

【0029】前記障壁膜は金属シリサイド膜、金属窒化物膜、ドーピングされたポリシリコン膜またはこれらの組合よりなる多重膜で形成しうる。

【0030】前記ホールの形成段階でパターニングされたメッキマスク層及び下部電極用シード層は、湿式または乾式蝕刻工程で除去しうる。場合に応じて、前記ホールの形成段階でパターニングされたメッキマスク層及び下部電極用シード層は1回の湿式蝕刻工程で除去することもできる。

【0031】前記下部電極用シード層の形成前に前記第2層間絶縁膜上に蝕刻阻止膜をさらに形成しうる。

【0032】前記第2層間絶縁膜を形成する前に、前記ビットラインの側壁及び上部表面上に前記第2層間絶縁膜と蝕刻選択比のある物質膜としてスペーサ及びキャッピング絶縁膜を各々形成しうる。この場合、前記ホールは、スペーサ及びキャッピング絶縁膜としてマスキングされたビットラインによって自己整合（セルフアライン）させることができる。

【0033】前記導電膜をホール内に形成する前に、前記ホールによって露出された下部電極用シード層の側壁に電氣的に連結するライナーシード層を前記ホールの底部に形成する。

【0034】前記ライナーシード層の形成段階は次の通り進行される。まず、前記ホールによって露出された下部電極用シード層の側壁上に半球形シードを形成する。次いで、前記半球形シードを低温で反応性イオン蝕刻してホールの底部に再蒸着することによって、前記ライナーシード層を形成する。

【0035】前記ライナーシード層の形成段階は次の通り進行されることもできる。まず、前記ホールが形成された半導体基板の全面を導電膜でライニングする。その後、前記導電膜を低温で反応性イオン蝕刻して前記ライナーシード層をスペーサ形態に形成する。

【0036】前記下部電極パッドは多重膜で形成するが、前記下部電極パッドの最上部層は導電性障壁膜からなるように形成する。

【0037】前記下部電極パッドは多重膜として形成するが、前記下部電極パッドの最上部層は白金族金属膜であり、その下部には少なくとも1層の導電性障壁膜が含まれるように形成することもできる。この際、前記ライナーシード層は前記下部電極パッドの最上部層の白金族金属膜を低温で反応性イオン蝕刻して形成することもできる。

【0038】本発明に係るキャパシタの製造方法を適用してキャパシタの下部電極を形成すれば、乾式蝕刻方法で下部電極を単位セル別に分離する時発生する従来の技術の問題点が解決される。また、本発明によれば、下部電極パッドを露出させるホールを形成する時マスキングされたビットラインを用いた自己整合技術を適用できるために1回の写真工程だけでも前記ホールを形成しうる。さらに、本発明によれば、下部電極を電気メッキ方法によって形成した後、下部電極用シード層パターンを簡単な方法によって完全に除去しうる。従って、キャパシタの電氣的特性が、電気メッキ工程の実行後に残留する下部電極用シード層によって劣化されることを防止することができる。また、本発明によれば、下部電極と下部電極用シード層を必ずしも同じ物質で形成する必要はなく、必要に応じて自由に選択可能である。

【0039】

【発明の実施の形態】以下、添付した図面に基づいて本発明の望ましい実施形態を詳しく説明する。本発明の実施形態は多様な他の形に変形でき、本発明の範囲が後述する実施形態に限定されることではない。本発明の実施形態は当業者に本発明をさらに完全に説明するために提供されるものである。添付図面において、層または領域の厚さは明細書の明確性のために誇張されたものである。添付図面において同一な符号は同一な要素を示す。また、何れの層が他の層または基板の“上部”にあると記載された場合、前記何れの層が前記他の層または基板の上部に直接存在することもあり、その間に第3の層が介在されることもある。

【0040】まず、本発明に係る半導体メモリ素子のキャパシタの製造方法が具現されるレイアウトを図4に基づいて説明する。

【0041】図4を参照すれば、素子分離膜によって活性領域Aが定義されており、活性領域A上には2つのワードラインW/Lが通っている。ビットラインB/LはワードラインW/Lと層を別にし、ワードラインW/Lと垂直に通っている。活性領域A上に形成されるドレイン領域上にはビットラインコンタクトIがあり、活性領域A上に形成されたソース領域上には下部電極コンタクトIIがある。下部電極コンタクトII上には半導体メモリ素子のキャパシタの下部電極Cがある。

【0042】以下、添付した図面に基づいて本発明に係る実施形態を詳しく説明するに当たって、図4のB-B'線の断面を参照して説明する。

【0043】＜第1実施形態＞図5乃至図10は本発明の第1実施形態に係る半導体メモリ素子のキャパシタの製造方法を示す工程断面図である。

【0044】図5を参照すれば、まず半導体基板50上に下部電極用シード層52を形成する。具体的に示さなかったが、前記半導体基板50は、例えば不純物の注入領域が形成されているシリコン基板、または上面にゲート電極、ビットラインのような膜構造物を含んでいるシリコン基板である。

【0045】前記下部電極用シード層52は耐酸化性のある導電物質で形成することが望ましい。例えば、前記下部電極用シード層52は、白金族金属膜、白金族金属酸化物膜、ペロブスカイト構造を有する導電性物質膜、導電性金属膜、金属シリサイド膜、金属窒化物膜またはこれらの組合よりなる多重膜で形成する。前記白金族金属膜はPt膜、Rh膜、Ru膜、Ir膜、Os膜またはPd膜で、前記白金族金属酸化物膜はPtO_x膜、RhO_x膜、RuO_x膜、IrO_x膜、OsO_x膜またはPdO_x膜で、前記導電性ペロブスカイト構造を有する導電性物質膜はCaRuO₃膜、SrRuO₃膜、BaRuO₃膜、BaSrRuO₃膜、CaIrO₃膜、SrIrO₃膜、BaIrO₃膜または(La、Sr)CoO₃膜で、前記導電性金属膜はCu膜、Al膜、Ta膜、Mo膜、

W膜、Au膜またはAg膜で、前記金属シリサイド膜は WSi_x 膜、 $TiSi_x$ 膜、 $CoSi_x$ 膜、 $MoSi_x$ 膜または $TaSi_x$ 膜であり、前記金属窒化水防止した TiN 膜、 TaN 膜、 WN 膜、 $TiSiN$ 膜、 $TiAlN$ 膜、 $TiBN$ 膜、 $ZrSiN$ 膜、 $ZrAlN$ 膜、 $MoSiN$ 膜、 $MoAlN$ 膜、 $TaSiN$ 膜または $TaAlN$ 膜である。

【0046】前記下部電極用シード層52は耐酸化性を有するだけでなく、湿式蝕刻方法または乾式蝕刻方法によって除去しやすい物質膜で形成することがさらに望ましい。なぜなら、下部電極用シード層52の一部は後続工程で湿式蝕刻方法または乾式蝕刻方法によって除去すべきであるからである。例えば、後続工程で下部電極用シード層52の一部を乾式蝕刻方法で除去する場合には下部電極用シード層52はRu膜で形成する。また、後続工程で下部電極用シード層52の一部を湿式蝕刻方法で除去する場合には下部電極用シード層52はCuまたはAgで形成する。

【0047】前記下部電極用シード層52はスパッタリング方法、化学気相蒸着方法、物理的蒸着方法、原子層蒸着方法またはレーザーアブレーションを使用して形成できるが、下部電極用シード層52を形成するための望ましい方法としては下部電極用シード層52を形成するための物質膜の種類に応じて換えることである。

【0048】例えば、前記下部電極用シード層52をRu膜で形成する時はスパッタリング方法を用いて形成することが望ましい。Ru膜よりなる下部電極用シード層52をスパッタリング方法で形成する時はDCスパッタリング装置を使用することができる。このとき、DCパワーは1,000W程度、Arガスの流量は20sccm程度、ウェーハの温度は200℃程度に設定してRu膜よりなる下部電極用シード層52が形成される。

【0049】前記下部電極用シード層52は約50～2000Åの厚さに形成することが望ましい。例えば、下部電極用シード層52をRu膜で形成する場合には下部電極用シード層52を500Å程度の厚さに形成する。

【0050】前述したように下部電極用シード層52を形成した後、前記下部電極用シード層52上にメッキマスク層54を形成する。ここで、前記メッキマスク層54は後続の電気メッキ工程でメッキマスクとして使われるので不導体であることが要され、キャパシタの下部電極を形成した後に乾式または湿式蝕刻方法によって容易に除去しなければならない。従って、前記メッキマスク層54はBPSG (boro-phospho-silicate glass) 膜、SOG (spin-on glass) 膜、PSG (phospho-silicate glass) 膜、フォトレジスト膜、DLC (diamond like carbon) 膜、 SiO_x 膜、 SiN_x 膜、 $SiON_x$ 膜、 TiO_x 膜、 AlO_x 膜、 AlN_x 膜またはこれらの組合よりなる多重膜で形

成することが望ましい。

【0051】前記メッキマスク層54はスパッタリング方法、化学気相蒸着方法、物理的蒸着方法または原子層蒸着方法によって形成できるが、メッキマスク層54を形成するための望ましい方法はメッキマスク層54を形成するための物質膜の種類に応じて変わる。例えば、メッキマスク層54をシリコン酸化膜で形成する場合には化学気相蒸着方法で形成することが望ましい。

【0052】前記メッキマスク層54の厚さは形成しようとするキャパシタの下部電極の寸法によって決定される。例えば、1000Å程度の高さを有するキャパシタの下部電極を形成しようとする場合にはメッキマスク層54は1000Å程度の厚さに形成する。

【0053】図6を参照すれば、写真蝕刻工程を行って前記メッキマスク層54のうち下部電極形成予定領域上に形成されたメッキマスク層54部分と、その下の下部電極用シード層52を反応性イオン蝕刻 (Reactive Ion Etching) 方法によって選択的に除去することによって、メッキマスク層パターン54'及び下部電極用シード層パターン52'を形成する。この際、前記メッキマスク層パターン54'及び下部電極用シード層パターン52'によって前記半導体基板50上の導電領域56、即ち下部電極形成予定領域を露出させるホールH1が定義される。また、前記ホールH1の側壁には前記下部電極用シード層パターン52'の側壁及び前記メッキマスク層パターン54'の側壁が露出される。

【0054】図7を参照すれば、電気メッキ方法を使用して下部電極用導電膜66をホールH1内に形成する段階が進行される。即ち、パワーソース58の陰極は第1配線60を通して下部電極用シード層パターン52'に連結させてパワーソース58の陽極は第2配線62を通してソース電極64に連結する。この状態で、半導体基板50をメッキ液に浸けて電気メッキを行う。すると、ホールH1内部で露出された下部電極用シード層パターン52'の側壁でソース電極64と実質的に同種の金属が析出し始める。下部電極用シード層パターン52'の側壁で析出される金属よりなる下部電極用導電膜66は、形成しようとするキャパシタの下部電極の高さに対応する高さまでホールH1内に充填されることになる。例えば、下部電極用導電膜66はメッキマスク層パターン54'の上部表面と実質的に同一なレベルまで充填される。

【0055】前記下部電極用導電膜66をPt膜として形成する場合には亜硝酸アンモニウム白金溶液 (ammonium platinum nitrite: $Pt(NH_3)_2(NO_2)_2$) をメッキ液として使用し、白金電極をソース電極64として使用することが望ましい。この際、電気メッキの条件としてメッキ槽 (plating bathtub) の温度は70～90℃、メッキ

液の濃度は8～12 g/l、メッキ液のpHは0.8～4、メッキ液内の伝導塩硫酸の濃度は0.5～1.5 g/l、電流密度は0.1～2 A/cm²とする。

【0056】前記下部電極用導電膜66をPt膜で形成する場合に前記メッキ液として塩化白金酸アンモニウム (ammonium chloroplatinat e: (NH₄)₂PtCl₆) または塩化白金酸 (chloroplatinic acid: H₂PtCl₆) を使用することもできる。

【0057】もちろん、メッキ液として白金の代わりに他の金属塩を含むメッキ液を使用すれば前記ホールH1内に前記金属塩に含まれた金属が充填される。前記メッキ液としてはPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Niまたはこれらの組合を含む金属塩が溶解されたメッキ液を使用する。例えば、前記メッキ液として (NH₄)₂PtCl₆、H₂PtCl₆、RuNOCl₃、RuCl₃、IrCl₄、(NH₄)₂IrCl₆ などを使用することもできる。

【0058】前記ソース電極64はPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Co、Ni、Wまたはこれらの合金よりなることができる。

【0059】図8を参照すれば、前記メッキマスク層パターン54'を選択的に除去して前記下部電極用導電膜66の側壁を一部露出させる。例えば、前記メッキマスク層パターン54'がSiO₂よりなる場合はHF溶液またはBOE (buffered oxide etchant) 溶液を湿式蝕刻液として用いる湿式蝕刻方法でメッキマスク層パターン54'を除去する。

【0060】一方、前記下部電極用シード層パターン52'はメッキマスク層パターン54'を除去する過程で除去することもでき、別の工程で除去することもできる。例えば、前記下部電極用シード層パターン52'がPtまたはRuよりなる場合、これら物質はHF溶液またはBOE溶液に対して不溶性なので、前記メッキマスク層パターン54'の除去時、前記下部電極用シード層パターン52'は除去されずにそのまま残る。

【0061】図9を参照すれば、前記下部電極用シード層パターン52'を除去して前記下部電極用導電膜66の側壁を完全に露出させる。この際、下部電極用シード層パターン52'を構成している物質膜に応じて下部電極用シード層パターン52'の除去時、湿式蝕刻方法または乾式蝕刻方法を使用する。

【0062】例えば、下部電極用シード層パターン52'がRu膜で形成された場合には反応性イオン蝕刻方法を使用すれば他の白金族金属よりは相対的に容易にRuを揮発性のある気体化合物に変化させることができるために下部電極用シード層パターン52'を除去する。

【0063】前記下部電極用シード層パターン52'がCuまたはAgのようにHF溶液に溶解される物質よりなる場合にはメッキマスク層パターン54'及び下部電

極用シード層パターン52'をHFを用いた1回の湿式蝕刻工程で一気に除去することもできる。

【0064】前述したようにメッキマスク層パターン54'及び下部電極用シード層パターン52'が除去されると、単位セル別に分離されたキャパシタ下部電極66'が形成される。

【0065】図10を参照すれば、キャパシタの下部電極66'が形成された結果物上にCVD方法またはスパッタリング方法で誘電物質を蒸着して誘電膜68を所定の厚さに形成する。誘電膜68の厚さは要求されるキャパシタの静電容量などを考慮して決定される。例えば、前記誘電膜68は20 nmの厚さに形成できる。

【0066】前記誘電膜68はTa₂O₅膜、SrTiO₃ (STO) 膜、(Ba, Sr)TiO₃ (BST) 膜、PbZrTiO₃ (PZT) 膜、SrBi₂Ta₂O₉ (SBT) 膜、(Pb, La)(Zr, Ti)O₃ (PLZT) 膜、Bi₄Ti₃O₁₂膜またはこれらの組合よりなる多重膜で形成する。

【0067】次いで、前記誘電膜68上にCVD方法またはスパッタリング方法で導電物質を蒸着してキャパシタの上部電極70を形成する。前記キャパシタ上部電極70は前記下部電極用シード層 (図5の52参照) と実質的に同種の物質膜で形成する。

【0068】一方、MOD (Metal-Organic Deposition) 方法を用いてPt薄膜を所定の厚さ、例えば約50 nmの厚さに形成してキャパシタの上部電極70を形成することもできる。この際、スピンコーティング方法を用いてスピン回数及びPtMOD溶液 (10%のPt-アセチルアセトネートと90%のエタノールの混合物) の濃度を調節してキャパシタの上部電極70として形成されるPt薄膜の厚さ及び膜質の密度を調節する。

【0069】前記上部電極70をPt膜で形成する場合、利用可能な他の方法としてコロイド (colloid) のスピンコーティング方法がある。この方法を用いる場合には、平均サイズが約30～50 ÅのPtコロイドよりなる固形成分 (solid content) がアルコール成分よりなる有機溶媒に約5重量%の濃度で均一に分散されているPtコロイド溶液を通常のスピンコーティング方法で約1000 Åの厚さにコーティングする。次いで、約300～500℃における熱処理工程を約10分間行ってアルコール成分を揮発させた後、残っているPt薄膜を前記キャパシタの上部電極70として形成する。

【0070】<第2実施形態>図11は本発明の第2実施形態に係る半導体メモリ素子のキャパシタの製造方法を説明するための工程断面図である。

【0071】本発明に係る第2実施形態は上部電極70'を電気メッキ方法で形成することを除いては第1実施形態と実質的に同一な工程段階が進行される。

【0072】さらに詳しく説明すれば、図5乃至図9を参照して説明した方法と実質的に同じ方法で半導体基板50上にキャパシタの下部電極66を形成する。次いで、図10と実質的に同じ方法を使用して誘電膜68を形成する。

【0073】引き続き、前記誘電膜68上にCVD方法またはスパッタリング方法で上部電極用シード層72を約50～1000Åの厚さに形成する。

【0074】前記上部電極用シード層72は第1実施形態の下部電極用シード層と実質的に同種の物質膜として形成する。

【0075】次いで、パワーソース58の陰極を第1配線60を通して前記上部電極用シード層72に連結し、陽極は第2配線62を通してソース電極64に連結した状態で、図7を参照して説明した電気メッキ方法と実質的に同一な方法を使用して上部電極用シード層72上にキャパシタ上部電極70'を所望の厚さに形成する。

【0076】キャパシタ上部電極70'を電気メッキ方法によって形成する時にはPt、Ir、Ru、Rh、Os、Pd、Au、Ag、Cu、Mo、Co、Ni、Zn、Cr、Feまたはこれらの組合を含む金属塩が溶解された溶液をメッキ液として使用する。また、キャパシタの上部電極70'を電気メッキ方法で形成する時には、Pt、Ir、Ru、Rh、Os、Pd、Au、Ag、Cu、Mo、Co、Ni、Zn、Cr、Feまたはこれらの合金をソース電極64として使用しうる。

【0077】前述したようにキャパシタ上部電極70'を電気メッキ方法で形成すれば、メッキによって形成される膜の段差が優秀なので半導体基板50の全面に形成されるキャパシタ上部電極70'を均一に形成することができる。また、電気メッキ方法によって形成されるキャパシタ上部電極70'を厚くすると、隣接したキャパシタの下部電極66間の空間が完全に充填されてキャパシタ上部電極の上面の平坦度が向上される。

【0078】＜第3実施形態＞図12乃至図17は本発明に係る半導体メモリ素子のキャパシタの製造方法に対する第3実施形態を示す工程断面図である。本発明に係る第3実施形態は半導体メモリ素子のキャパシタをCOB (capacitor over bitline) 構造で形成する場合に本発明を適用した例である。しかし、本発明はCUB (capacitor under bitline) 構造を有する半導体メモリ素子のキャパシタを形成する場合にも適用できる。

【0079】図12を参照すれば、本発明の第3実施形態に係る半導体メモリ素子のキャパシタの製造方法は、まず半導体基板50上に素子分離膜74を形成して活性領域と非活性領域を定義する。前記素子分離膜74はLOCOS (LOCAL Oxidation of Silicon) 方法またはトレンチ素子分離方法によって形成する。次いで、前記活性領域上にゲート電極 (図

示せず)、ソース領域76及びドレイン領域 (図示せず) で構成された電界効果トランジスタを形成する。次いで、前記ソース領域76上に下部電極パッド78を形成した後、半導体基板50の全面に酸化膜よりなる第1層間絶縁膜80を形成して隣接する下部電極パッド78を電氣的に分離させる。

【0080】また、前記下部電極パッド78は導電性ポリシリコンだけの単一膜で形成することもでき、2重膜以上の多重膜で形成することもできる。前記下部電極パッド78を多重膜として形成する場合には次の順序通り積層された構造で形成しうる。

【0081】具体的には、前記下部電極パッド78は多重膜として形成するが、最上部膜は障壁膜よりなるように形成することもできる。例えば、前記下部電極パッド78を2重膜として形成する場合には導電性ポリシリコン膜\障壁膜が順次に積層された構造で形成しうる。ここで、障壁膜はTiN膜、Ta₂N膜、WN膜、TiSiN膜、TiAlN膜、TiBN膜、ZrSiN膜、ZrAlN膜、MoSiN膜、MoAlN膜、TaSiN膜またはTaAlN膜である。

【0082】または、前記下部電極パッド78は最上部膜が白金族金属膜よりなり、前記白金族金属膜の下部には少なくとも1層の障壁膜が挿入されるように形成しうる。例えば、前記下部電極パッド78を3重膜として形成する場合には導電性ポリシリコン膜\障壁膜\白金族金属膜が順次に積層された構造で形成される。ここで、前記障壁膜はTiN膜、Ta₂N膜、WN膜、TiSiN膜、TiAlN膜、TiBN膜、ZrSiN膜、ZrAlN膜、MoSiN膜、MoAlN膜、TaSiN膜またはTaAlN膜で、前記白金族金属膜はPt膜、Rh膜、Ru膜、Ir膜、Os膜またはPd膜である。

【0083】前述したように下部電極パッド78を多重膜として形成する場合に創出される技術的效果については後述する。

【0084】引き続き、前記第1層間絶縁膜80上にビットライン82を形成し、酸化膜よりなり、ビットライン82を覆う第2層間絶縁膜84を半導体基板50の全面に形成する。前記ビットライン82の側壁及び上部表面上には第2層間絶縁膜84と蝕刻選択比のある絶縁膜、例えば窒化膜よりなるスペーサSとキャッピング絶縁膜Cを各々形成する。この場合、後続工程でキャパシタの下部電極が形成されるホールを形成する時、ホールをビットライン82によって自己整合させることができる。

【0085】引き続き、前記第2層間絶縁膜84上に蝕刻阻止膜86を形成する。前記蝕刻阻止膜86は前記第2層間絶縁膜84を構成する物質膜に対して高蝕刻選択比を有する物質膜として形成することが望ましい。例えば、前記蝕刻阻止膜はSi₃N₄膜、TiO₂膜、Ta₂O₃膜、またはAl₂O₃膜として形成しうる。

【0086】前記蝕刻阻止膜86は後続する蝕刻工程で蝕刻阻止膜86の下部膜、例えば第2層間絶縁膜84の蝕刻を防止するために形成するものであるため、後続する蝕刻工程で使用する蝕刻液が蝕刻阻止膜の下部膜を損傷させる恐れのない場合には前記蝕刻阻止膜86の形成段階は省略できる。

【0087】前記蝕刻阻止膜86上には導電性のある下部電極用シード層88を、下部電極用シード層88上にはメッキマスク層90を各々形成する。

【0088】前記下部電極用シード層88及びメッキマスク層90として形成しうる物質膜の種類、厚さ及び製造方法は、前記第1実施形態の下部電極用シード層及びメッキマスク層として形成できる物質膜の種類、厚さ及び製造方法と実質的に同一である。例えば、下部電極用シード層88の一部は後続工程で湿式蝕刻方法または乾式蝕刻方法によって除去されるので、湿式蝕刻方法または乾式蝕刻方法によって除去しやすい物質膜として形成する。具体的に、後続工程で下部電極用シード層88の一部を湿式蝕刻方法を使用して除去する場合、下部電極用シード層88はCu膜またはAg膜で形成する。そして、後続工程で下部電極用シード層88の一部を乾式蝕刻方法で除去する場合、下部電極用シード層88はRu膜で形成する。一方、前記メッキマスク層90はSiO₂膜で形成する。このように、下部電極用シード層88及びメッキマスク層90を形成する場合に誘発される工程上の利点に対しては前記第1実施形態で詳しく説明したので略す。

【0089】図13を参照すれば、写真工程を行ってメッキマスク層90上に感光膜パターン92を形成することによってキャパシタの下部電極が形成されるホールH2の幅を定義する。次いで、感光膜パターン92を蝕刻マスクとして用いる反応性イオン蝕刻方法を使用してメッキマスク層90、下部電極用シード層88及び蝕刻阻止膜86を選択的に除去してメッキマスク層パターン90a、下部電極用シード層パターン88a及び蝕刻阻止膜パターン818を形成する。引き続き、前記感光膜パターン92を蝕刻マスクとして用いる反応性イオン蝕刻方法で蝕刻阻止膜パターン818によって露出される第2層間絶縁膜84とその下の第1層間絶縁膜80を順次にさらに蝕刻することによって下部電極パッド78を露出させるホールH2を形成する。下部電極パッド78を露出させるホールH2が形成されると下部電極用シード層パターン88aの側壁が露出される。

【0090】一方、ビットライン82の側壁及び上部表面上に第2層間絶縁膜84と蝕刻選択比のあるスペーサSとキャッピング絶縁膜Cが形成されている場合には、前記ホールH2の形成段階で自己整合技術を適用する。換言すれば、反応性イオン蝕刻方法を使用してホールH2を形成する時スペーサSとキャッピング絶縁膜Cを蝕刻阻止膜として使用できるので、下部電極パッド78の

上部表面を露出させるホールH2がビットライン82によって自己整合される。このように、前記ホールH2を形成する過程で自己整合技術が適用できれば、前記感光膜パターン92を形成する写真工程で整合マージンを高められる。

【0091】図14を参照すれば、メッキマスク層パターン90a上に形成された感光膜パターン92を除去する。次いで、前記ホールH2の内部及びメッキマスク層パターン90a上に障壁物質(図示せず)を蒸着する。次いで、蒸着された障壁物質を平坦化してメッキマスク層パターン90aの上部表面を露出させた後、下部電極用シード層パターン88aの側壁が露出されるまでホールH2の内部に形成された障壁物質を反応性イオン蝕刻方法で選択的に除去して障壁膜94を形成する。

【0092】例えば、障壁物質としてTiNを段差特性に優れたCVD方法または原子層蒸着方法で前記ホールH2の内部及びメッキマスク層パターン90a上に蒸着する。次いで、CMP (Chemical Mechanical Polishing) 方法で蒸着されたTiNを除去してメッキマスク層パターン90aの上部表面を露出させ、反応性イオン蝕刻方法でホールH2内に蒸着されたTiNを選択的に除去して下部電極用シード層パターン88aの側壁を露出させる。すると、下部電極パッド78に電氣的に連結され、前記ホールH2の下部を充填させる前記障壁膜94が形成される。前記障壁膜94は後続工程で障壁膜94上に形成されるキャパシタの下部電極を構成する物質が下部電極パッド78に拡散されることを防止してコンタクト抵抗を安定的に確保することができる。また、障壁膜94はキャパシタの下部電極と下部電極パッド78との間で接着層の役割をすることになる。

【0093】前記障壁膜94はTiN膜だけで形成することではない。前記障壁膜94は金属シリサイド膜、金属窒化物膜、ドーピングされたポリシリコン膜またはこれらの組合よりなる多重膜として形成しうる。ここで、前記金属シリサイド膜はWSi_x膜、TiSi_x膜、CoSi_x膜、MoSi_x膜またはTaSi_x膜で、前記金属窒化物膜はTiN膜、Ta₂N膜、WN膜、TiSiN膜、TiAlN膜、TiBN膜、ZrSiN膜、ZrAlN膜、MoSiN膜、MoAlN膜、TaSiN膜またはTaAlN膜で有り得る。

【0094】図15を参照すれば、前記第1実施形態と実質的に同一に電気メッキ工程を行って障壁膜94上に下部電極用導電膜96を形成する。換言すれば、半導体基板50を金属塩の溶解されたメッキ液に浸けた状態でパワーソース58の陰極は第1配線60を通して下部電極シード層パターン88aに連結し、パワーソース58の陽極は第2配線62を通してソース電極64に連結する。すると、下部電極用シード層パターン88aの側壁で下部電極用導電膜96が析出し始めてホールH2の内

部が下部電極用導電膜96として充填されることになる。この際、メッキ液として用いられる溶液の種類、ソース電極として用いられる物質膜の種類及び電気メッキ工程の工程条件は前記第1実施形態の場合と実質的に同一である。

【0095】一方、前述したように下部電極パッド78は導電性ポリシリコンよりなる単一膜のみで形成することではなく、多重膜として形成することもできる。特に、下部電極パッド78を導電性ポリシリコン膜\障壁膜が順次に積層された2重膜で形成した場合、または導電性ポリシリコン膜\障壁膜\白金族金属膜が順次に積層された3重膜で形成した場合にはホールH2の底部に障壁膜94を形成しない状態で電気メッキ工程を行ってホールH2全体を下部電極用導電膜96のみで埋立てられる。換言すれば、下部電極パッド78が少なくとも1層の障壁膜を含む多重膜で形成されているために、別の障壁膜94をホールH2の底部に形成する必要がなくなる。これにより、ホールH2の底部に障壁膜94を形成する工程段階を省ける。

【0096】図16を参照すれば、前記第1実施形態の場合と実質的に同一な方法で前記メッキマスク層パターン90a及び下部電極用シード層パターン88aを除去する。例えば、前記メッキマスク層パターン90aをSiO₂で形成し、前記下部電極用シード層パターン88aをCuまたはAgで形成した場合には、HF溶液を湿式蝕刻液として使用する湿式蝕刻工程でメッキマスク層パターン90a及び下部電極用シード層パターン88aを同時に除去することができる。また、前記メッキマスク層パターン90aをSiO₂で形成し、前記下部電極用シード層パターン88aをRuで形成した場合には、メッキマスク層パターン90aはHF溶液またはBOE溶液を蝕刻液として使用する湿式蝕刻工程で除去し、下部電極用シード層パターン88aは反応性イオン蝕刻方法で除去する。この際、下部電極用シード層パターン88aの直下方には蝕刻阻止膜パターン818が形成されているために、湿式蝕刻工程及び／または乾式蝕刻工程を行ってメッキマスク層パターン90a及び／または下部電極用シード層パターン88aを除去する過程における第2層間絶縁膜84の蝕刻を防止することができる。特に、蝕刻阻止膜パターン818がTiO₂膜よりなる場合には蝕刻阻止膜パターン818の下部に形成されている物質膜、例えば第2層間絶縁膜84の蝕刻がさらに効率よく防止される。

【0097】前述したようにメッキマスク層パターン90a及び下部電極用シード層パターン88aが第1除去されて下部電極用導電膜96の側壁が露出されることによってキャパシタの下部電極96'が形成される。

【0098】図17を参照すれば、キャパシタの下部電極96'上に誘電膜98を形成し、誘電膜上にはキャパシタの上部電極100を形成する。誘電膜98及びキャ

パシタ上部電極100を構成しうる物質膜の種類、厚さ及び製造方法は第1実施形態の場合と実質的に同一である。例えば、キャパシタの上部電極100は図10のようにCVD方法、スパッタリング方法またはMOD方法によって形成することもでき、図11のように上部電極用シード層72を用いた電気メッキ方法で形成することもできる。

【0099】本発明の第3実施形態によれば、ホールH2がビットライン82によって自己整合されるように形成することができる。このような場合、障壁膜94とキャパシタの下部電極96'間にミスアラインが発生するのを防止することができる。

【0100】また、キャパシタの下部電極96'を電気メッキ方法で形成する時、下部電極用シード層パターン88aの側壁から下部電極用導電膜96を析出させるためにホールH2内にボイドが形成されることを防止しうる。さらに、キャパシタの下部電極96が形成された後には下部電極用シード層パターン88aを完全に除去できるように、下部電極用シード層パターン88aによる半導体メモリ素子の素子特性劣化を防止することができる。

【0101】＜第4実施形態＞図18乃至図21を参照して説明する本発明に係る第4実施形態は下部電極パッドPを少なくとも1層の障壁膜104を含む多重膜として形成する点及び電気メッキ工程を行う前に下部電極用シード層パターン88aの側壁と電氣的に連結するライナーシード層Lをさらに形成するという点を除いては、前記第3実施形態の場合と実質的に同一に進行する。

【0102】図18を参照すれば、半導体基板50上の不純物注入領域、例えばソース領域76上に多重膜よりなる下部電極パッドPを形成する。前記下部電極パッドPは少なくとも金属窒化物よりなる障壁膜を含むように形成することが望ましい。なぜなら、本発明に係る第4実施形態は下部電極パッドPを障壁膜を含むように形成することによって、第3実施形態における障壁膜(図17の94参照)の形成段階を省くために案出されたものであるからである。例えば、下部電極パッドPは、図18に示されたように、導電性ポリシリコン膜102及び障壁膜104が順次に積層された2重膜構造として形成しうる。前記障壁膜104は図17に示された障壁膜94と実質的に同種の物質膜として形成しうる。例えば、障壁膜104はTiN膜として形成する。

【0103】前述したように下部電極パッドPを少なくとも1層の障壁膜104を含むように形成した後、前記第3実施形態と実質的に同一な工程段階を進行して下部電極パッドPの上部表面を露出させるホールH3を形成する。次いで、ホールH3の側壁に露出された下部電極用シード層パターン88aの側壁と電氣的に連結するライナーシード層Lを形成する。

【0104】前記ライナーシード層Lは下部電極用シー

層パターン 88a を形成できる物質と実質的に同一な物質で形成する。しかし、後続の電気メッキ工程によってホール H3 内に埋め立てられる下部電極用導電膜 (図 0 の 109 参照) と同じ物質として形成することが望ましい。また、前記ライナーシード層 L は下部電極用シード層パターン 88a を構成する物質とは異なる物質で形成することが望ましい。例えば、後続工程でホール H 内に埋め立てられる下部電極用導電膜 (図 20 の 10 参照) が Pt 膜の場合には、前記ライナーシード層 L Pt 膜で形成することが望ましい。このように、後続工程でホール H3 の内部に形成される下部電極用導電膜 (図 20 の 109 参照) と前記ライナーシード層 L を同一な物質で形成すれば、後続工程でキャパシタ誘電膜の緑特性強化のために酸素雰囲気下の熱処理工程を行う工程でライナーシード層 L が酸化されることによって前下部電極用導電膜 (図 20 の 109 参照) とライナーシード層 L 間の界面に物理的なストレスが誘発されることさらに緩和することができる。もちろん、後続工程で記ホール H3 内に形成される下部電極用導電膜 (図 2 の 109 参照) とは異なる物質でライナーシード層 L 形成する場合に、必ず前記下部電極用導電膜 (図 20 の 109 参照) と前記ライナーシード層 L の界面に物理的ストレスが誘発されることはない。例えば、後続工程で前記ホール H3 内に形成される下部電極用導電膜 (図 0 の 109 参照) と前記ライナーシード層 L を相異なる物質として形成しようとする場合には、前記下部電極用導電膜 (図 20 の 109 参照) と前記ライナーシード層 L 間の界面に物理的ストレスを誘発しない物質膜としてライナーシード層 L を形成すればよい。このようなライナーシード層 L の形成における物質膜の選択は本発明が属する技術分野において当業者が本発明に係る第 4 実施形態を認識することになれば容易になされる。

【 0105 】以下、図 19 を参照してライナーシード層を形成する方法について具体的に説明する。

【 0106 】図 19 を参照すれば、ライナーシード層 L を形成するための一方法は、まず下部電極用シード層パターン 88a を用いた電気メッキ工程を行ってホール H3 の側壁に露出された下部電極用シード層パターン 88a 上に半球形シード 106 を形成する。ここで、前記半球形シード 106 を形成するための電気メッキ工程は第 3 実施形態の電気メッキ工程と実質的に同一に行える。換言すれば、パワーソース 58 の陰極は第 1 配線 60 を通して前記下部電極用シード層パターン 88a と連結され、パワーソース 58 の陽極は第 2 配線 62 を通してソース電極 64 に連結され、半導体基板 50 をメッキ液に浸けた状態で電気メッキ工程を行えばよい。

【 0107 】前記半球形シード 106 を Pt で形成する場合、電気メッキ工程で使用するメッキ液の種類、ソース電極 64 の種類及びメッキ条件は前記第 3 実施形態の場合と実質的に同一である。但し、前記半球形シード 1

06 は化学的に非常に安定して揮発性のない物質で、することがさらに望ましい。

【 0108 】前記半球形シード 106 を形成するに当たって、半球形シード 106 の半径がホール H3 幅の $1/2$ 未満になるように形成することが望ましい。換言すれば、半球形シード 106 を形成する時、ホール H3 が前記下部電極用シード層パターン 88a の近傍で半球形シード 106 によって閉鎖されないように形成することが望ましい。このように、前記半球形シード 106 の形成において、前記半球形シード 106 の半径がホール H3 幅の $1/2$ 未満の場合が望ましい理由については後述する。

【 0109 】前述したように半球形シード 106 を形成した後、半球形シード 106 を選択的に蝕刻しうる低温反応性イオン蝕刻方法、例えば低温アルゴン蝕刻方法で半球形シード 106 を物理的に蝕刻する。この際、低温反応性イオン蝕刻工程が進行される反応チャンバの温度は $0 \sim 50^{\circ}\text{C}$ であることが望ましい。

【 0110 】前述したように低温反応性イオン蝕刻方法で半球形シード 106 を蝕刻すれば、半球形シード 106 を構成する物質が選択的に蝕刻されると同時にホール H3 の底部に再蒸着されて図 18 のライナーシード層 L が形成される。特に、半球形シード 106 を Pt のような化学的に安定した白金族金属で形成した場合には前述したような再蒸着現象が目立つ。なぜなら、白金族金属は化学的に安定して低温アルゴン蝕刻方法のような低温反応性イオン蝕刻方法を進行しても揮発性のある気状の化合物に容易に変換されないからである。

【 0111 】一方、前記半球形シード 106 を形成するに当たって、半球形シード 106 の半径はホール H3 幅の $1/2$ 未満の場合が望ましいということは既に説明したことがある。これは半球形シード 106 を反応性イオン蝕刻してライナーシード層 L を形成する段階と関連する。換言すれば、半球形シード 106 を形成するに当たって、半球形シード 106 の半径を $1/2$ 以上に形成すれば、前記反応性イオン蝕刻段階でライナーシード層 L をホール H3 の底部の側壁に形成できず、ホール H3 の上部側壁に形成されることになる。このように、ライナーシード層 L がホール H3 の上部に形成される場合には後続の電気メッキ工程でホール H3 内部にボイドが誘発される可能性が増加することになる。

【 0112 】図 18 に示されたようなライナーシード層 L を形成するためにスペーサの製造方法を用いることもできる (図示せず) 。即ち、先にホール H3 の側壁、底面及びメッキマスク層パターン 90a 上に導電膜を形成した後、反応性イオン蝕刻方法で導電膜を選択的に蝕刻してスペーサ形態にライナーシード層 L を形成する。ここで、前記導電膜は前記第 3 実施形態の下部電極用シード層パターン 88a と実質的に同一な物質膜として形成でき、特に後続工程でホール H3 内に形成される下部電

極用導電膜（図20の109参照）と同様な物質で形成することが望ましい。その理由については半球形シード106の形成段階で詳しく説明した。

【0113】Pt膜よりなるスペース形態のライナーシート層を形成する場合には、ホールH3の内部及びメッキマスク層パターン90aの上部表面上にPt膜を蒸着する。

【0114】前記ライナーシード層Lの形成のための導電膜は化学気相蒸着方法、原子層蒸着方法、スパッタリング方法またはレーザーアブレーションを用いて形成する。前記導電膜を形成するための具体的な方法の選択は導電膜として形成しようとする物質膜の種類に応じて変わる。例えば、導電膜をP膜として形成する場合にはスパッタリング方法で形成することが望ましい。また、スパッタリング方法で前記導電膜を形成する時には通常のスパッタリング装置を使用することもできるが、ホールH3の縦横比が臨界値以上に大きい場合にはLTS (Long Through Sputtering) 装置を使用することが望ましい。

【0115】前記導電膜の形成厚さはホールH3の幅、及びスペーサの製造方法によって形成しようとするライナーシード層Lの厚さなどを考慮して決定する。例えば、前記導電膜は100nmほど蒸着する。本発明者の実験によれば、前記導電膜をLTS装置を用いてPt膜として形成する場合に、LTS装置のDCパワーは10kW程度とすることができ、Arの流量は5sccm程度とすることができ、半導体基板の温度は300℃程度とすることができる。

【0116】次いで、反応性イオン蝕刻方法、例えば低温アルゴン蝕刻方法で半導体基板50の全面に蒸着された導電膜を異方性蝕刻すれば、スペーサ形態のライナーシード層13が形成される。

【0117】図20を参照すれば、前記下部電極用シード層パターン88a及びライナーシード層1を用いた電気メッキ工程を行う。ここで、電気メッキ工程は前記第3実施形態で下部電極用導電膜(図15の9.6参照)を形成するために行う電気メッキ工程と実質的に同一である。換言すれば、パワーソース58の陰極は第1配線60を通して前記下部電極用シード層パターン88aと連結され、パワーソース58の陽極は第2配線62を通してソース電極64に連結された後、半導体基板50をメッキ液に浸けた状態で前記電気メッキ工程を行う。すると、ライナーシード層1上で下部電極用導電膜109が析出し始め、結果的に形成しようとするキャパシタの下部電極の寸法に対応する高さまで前記ホールH3の内部を下部電極用導電膜109が次第に充填することになる(点線参照)。

【0118】図21を参照すれば、メッキマスク層パターン90a及び下部電極用シード層パターン88aの除去段階を前記第3実施形態と実質的に同一に進行してキ

キャパシタの下部電極109'を形成する。特に、下部電極用導電膜109とライナーシード層Lが同一な物質、例えばPtよりなる場合にはメッキマスク層パターン90a及び下部電極用シード層パターン88aの除去段階でライナーシード層Lが蝕刻されることを防止する。例えば、下部電極用シード層パターン88aがAgまたはCuからなり、下部電極用導電膜109及びライナーシード層LがPtよりなる場合には、HF溶液を蝕刻液として用いる湿式蝕刻方法を使用してメッキマスク層パターン90a及び下部電極用シード層パターン88aを除去しても下部電極用導電膜109及びライナーシード層Lが蝕刻されない。

【0119】次いで、キャパシタ誘電膜108の形成段階及びキャパシタ上部電極110の形成段階を前記第3実施形態と実質的に同様にさらに進行すれば、半導体メモリ素子のキャパシタが完成される。特に、ライナーシート層Lを下部電極用導電膜109と同じ物質で形成すれば、キャパシタ誘電膜108を酸素雰囲気下で高温熱処理する過程で下部電極用導電膜109とライナーシート層Lとの間の界面で酸化物が形成されることを防止する。従って、キャパシタの下部電極109'とキャパシタ誘電膜108との間の界面に物理的ストレスが誘発されてキャパシタの漏れ電流が増加することを防止する。

【0120】キャパシタの上部電極110は前記第2実施形態のように電気メッキ工程を行って形成することもできる。

【０１２１】本発明の第４実施形態によれば、下部電極パッドＰを障壁膜を含むように多重膜で形成する。例えば、下部電極パッドＰを導電性ポリシリコン膜１０２とＴｉＮ膜１０４が順次に積層された２重膜として形成する。これにより、前記第３実施形態のような障壁膜（図１４の９４参照）を形成しなくてもよい。従って、本発明に係る第４実施形態は前記第３実施形態に比べてキャパシタ製造工程の工程段階数を減らせる。

【0122】＜第5実施形態＞図22及び図23を参照して説明する本発明に係る第5実施形態では、前記第4実施形態のように下部電極パッドPを少なくとも1層の障壁膜を含むように多重膜で形成する。但し、第5実施形態では下部電極パッドPの最上層を、ライナーシード層Lを構成する物質膜と同種の物質膜として形成する。また、前記第5実施形態では前記ライナーシード層Lを形成する時、ライナーシード層Lの底面が下部電極パッドPのリセスされた上部表面と接するように形成する。

【0123】図22を参照すれば、まず半導体基板50に形成されている不純物注入領域、例えばソース領域76上に多重膜よりなる下部電極パッドPを形成する。前記下部電極パッドPは少なくとも1層の障壁膜を含み、最上部層はライナーシード層Lを構成する物質膜と同種の物質膜で形成する。前記ライナーシード層Lは前記第

4実施形態の場合と同様にホールH4内に形成される下部電極用導電膜と実質的に同種の物質膜として形成することが望ましい。

【0124】前記下部電極パッドPは図22に示されたように導電性ポリシリコン112、障壁膜114及び白金族金属膜116が順次に積層された3重膜構造で形成される。

【0125】前記障壁膜114は本発明に係る第3実施形態の障壁膜(図14の94参照)と実質的に同じ物質膜として形成することができる。例えば、前記障壁膜114はTiN膜で形成し、前記白金族金属膜116はPt膜で形成することができる。

【0126】次いで、前記第3実施形態と実質的に同じ工程段階を進行して下部電極パッドPの上部表面を露出させるホールH4を形成する。前記ホールH4の形成によって下部電極用シード層パターン88aの側壁が露出される。

【0127】引き続き、前記下部電極用シード層パターン88aと電氣的に連結するライナーシード層Lの形成段階を進行する。具体的に、反応性イオン蝕刻方法を使用して下部電極パッドPの最上層の白金族金属膜116を蝕刻する。すると、白金族金属膜116を構成する物質が蝕刻されると同時にホールH4の内部に再蒸着されて前記下部電極用シード層パターン88aの側壁と電氣的に連結するライナーシード層Lが形成される。この際、白金族金属膜116を蝕刻するための反応性イオン蝕刻方法では低温アルゴン蝕刻方法を使用することが望ましく、低温反応性イオン蝕刻工程が進行される反応チャンバの温度は0～50℃であることが望ましい。

【0128】前記ライナーシード層Lは下部電極パッドPの最上部層の白金族金属膜116を反応性イオン蝕刻して形成するためにライナーシード層Lの底面は下部電極パッドPのリセスされた上部表面と接することになる。

【0129】図23を参照すれば、前記下部電極用シード層パターン88a及びライナーシード層Lを用いた電気メッキ工程を行ってホール内部を下部電極用導電膜118として埋め立てる。前記電気メッキ工程は前記第3実施形態で行われる電気メッキ工程と実質的に同一に行う。電気メッキ工程が行われると、ライナーシード層L上で金属物質が析出し始め、形成しようとするキャパシタの下部電極の寸法と実質的に同一な高さまで下部電極用導電膜118がホールH4内部に充填されることになる。この際、ソース電極として使用可能な物質膜及び前記メッキ液として使用可能な溶液及びメッキ条件は前記第3実施形態の場合と実質的に同一である。

【0130】前述したように電気メッキ工程を行ってホールH4の内部を下部電極用導電膜118で充填した後、メッキマスク層パターン90a及び下部電極用シード層パターン88aの除去段階、キャパシタ誘電膜12

0の形成段階及びキャパシタの上部電極122の形成段階を前記第3実施形態の場合と実質的に同一に進行すれば本発明に係る半導体メモリ素子のキャパシタが形成される。

【0131】前記キャパシタの上部電極122は前記第2実施形態のように電気メッキ工程を行って形成することもできる(図示せず)。

【0132】以上本発明を望ましい実施形態に基づいて詳しく説明したが、本発明はこれに限定されず、本発明の技術的思想の範囲内で当業者によって多様な変形が可能である。

【0133】

【発明の効果】以上説明したように、本発明に係るキャパシタの製造方法を適用してキャパシタの下部電極を形成すれば、乾式蝕刻方法で下部電極を単位セル別に分離する時発生する従来の技術の問題点が解決される。

【0134】また、本発明によれば、下部電極パッドを露出させるホールを形成する時マスキングされたビットラインを用いた自己整合技術を適用できるために1回の写真工程だけでも前記ホールを形成する。さらに、本発明によれば、下部電極を電気メッキ方法で形成した後、下部電極用シード層パターンを簡単な方法によって完全に除去する。従って、キャパシタの電氣的特性が、電気メッキ工程の実行以後に残留する下部電極用シード層によって劣化されることを防止できる。

【0135】また、本発明によれば、下部電極と下部電極用シード層を必ずしも同一な物質で形成する必要はなく、必要に応じて自由に選択可能である。

【図面の簡単な説明】

【図1】 従来の技術による電気メッキ方法を用いたキャパシタ下部電極の形成過程を示す工程断面図である。

【図2】 図1に続く、従来の技術による電気メッキ方法を用いたキャパシタ下部電極の形成過程を示す工程断面図である。

【図3】 図2に続く、従来の技術による電気メッキ方法を用いたキャパシタ下部電極の形成過程を示す工程断面図である。

【図4】 本発明に係る電気メッキ方法を用いた半導体メモリ素子のキャパシタの製造方法が適用されるレイアウト図である。

【図5】 本発明の第1実施形態を示す工程断面図である。

【図6】 図5に続く、本発明の第1実施形態を示す工程断面図である。

【図7】 図6に続く、本発明の第1実施形態を示す工程断面図である。

【図8】 図7に続く、本発明の第1実施形態を示す工程断面図である。

【図9】 図8に続く、本発明の第1実施形態を示す工程断面図である。

【図10】 図9に続く、本発明の第1実施形態を示す工程断面図である。

【図11】 本発明の第2実施形態を示す工程断面図である。

【図12】 本発明の第3実施形態を示す工程断面図である。

【図13】 図12に続く、本発明の第3実施形態を示す工程断面図である。

【図14】 図13に続く、本発明の第3実施形態を示す工程断面図である。

【図15】 図14に続く、本発明の第3実施形態を示す工程断面図である。

【図16】 図15に続く、本発明の第3実施形態を示す工程断面図である。

【図17】 図16に続く、本発明の第3実施形態を示す工程断面図である。

【図18】 本発明の第4実施形態を示す工程断面図である。

【図19】 図18に続く、本発明の第4実施形態を示す工程断面図である。

す工程断面図である。

【図20】 図19に続く、本発明の第4実施形態を示す工程断面図である。

【図21】 図20に続く、本発明の第4実施形態を示す工程断面図である。

【図22】 本発明の第5実施形態を示す工程断面図である。

【図23】 図22に続く、本発明の第5実施形態を示す工程断面図である。

【符号の説明】

72…上部電極用シード層

82…ビットライン

88a…下部電極用シード層パターン

94…障壁膜

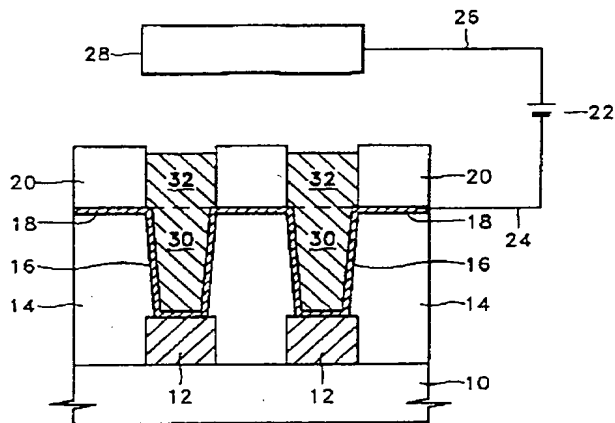
96…下部電極用導電膜

96'…キャパシタの下部電極

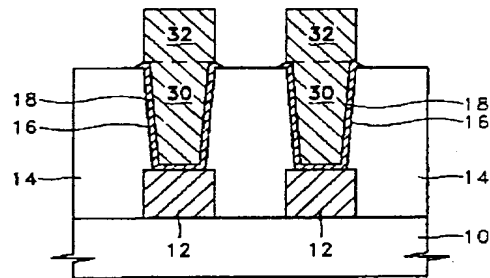
98…誘電膜

100…キャパシタの上部電極

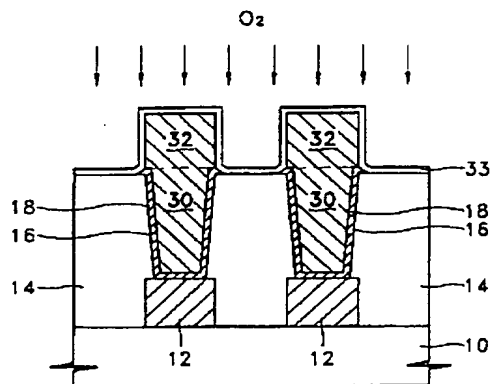
【図1】



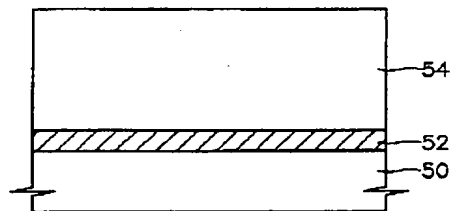
【図2】



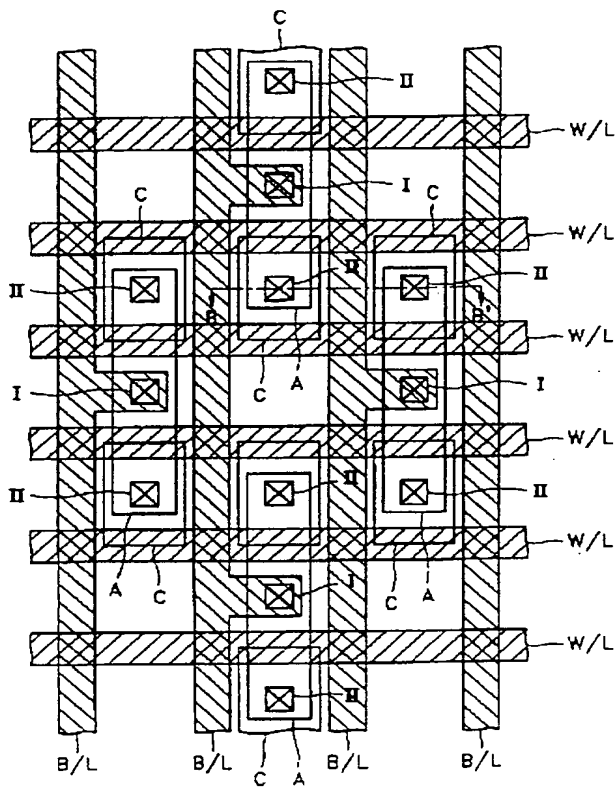
【図3】



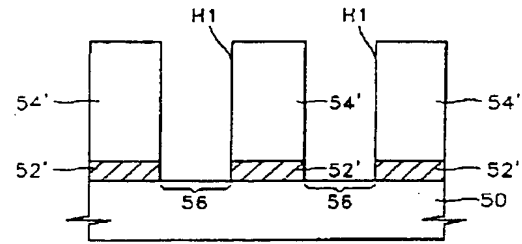
【図5】



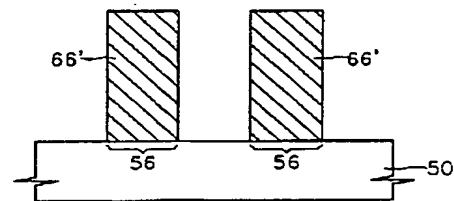
【図4】



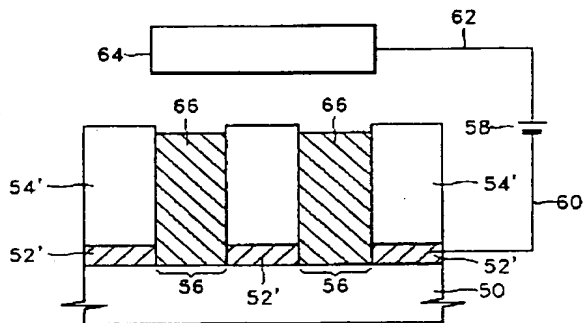
【図6】



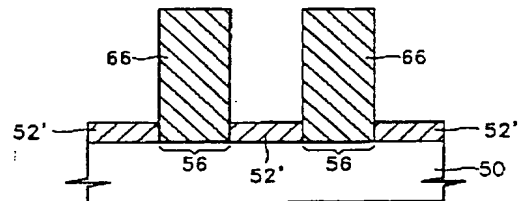
【図9】



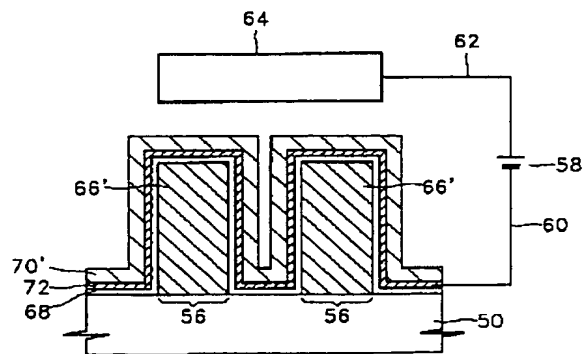
【図7】



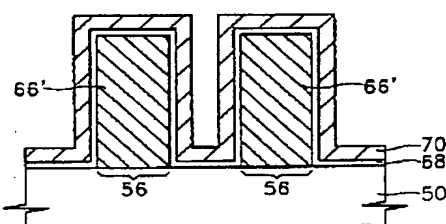
【図8】



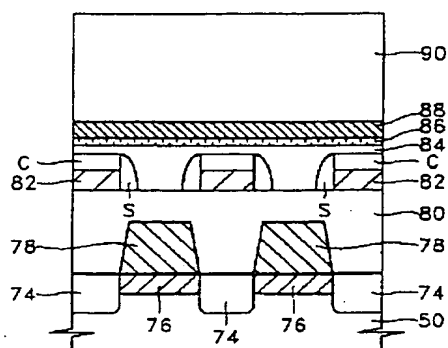
【図11】



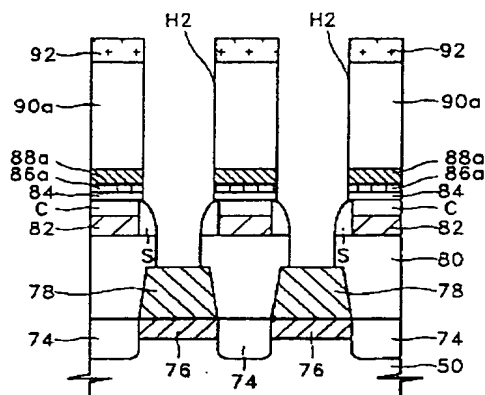
【図10】



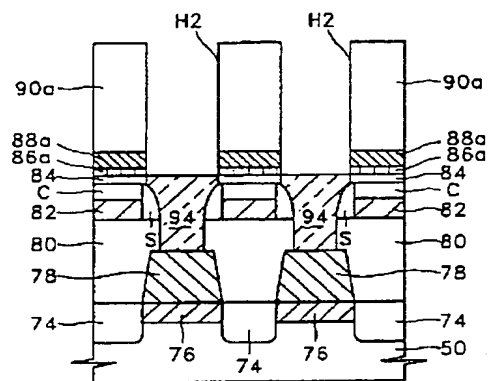
【図12】



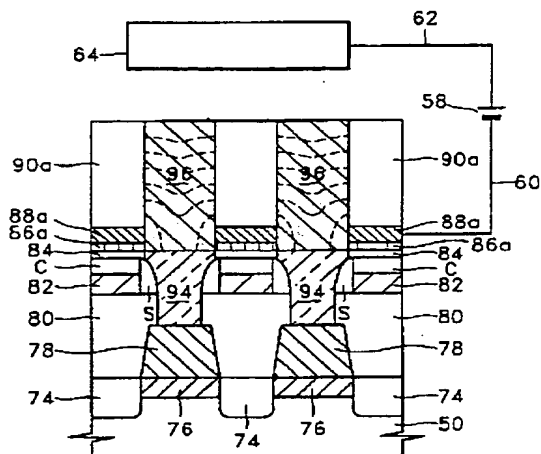
【図13】



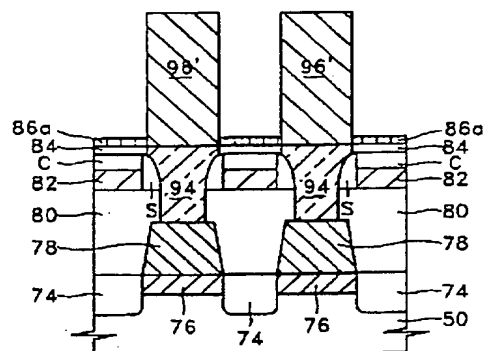
【図14】



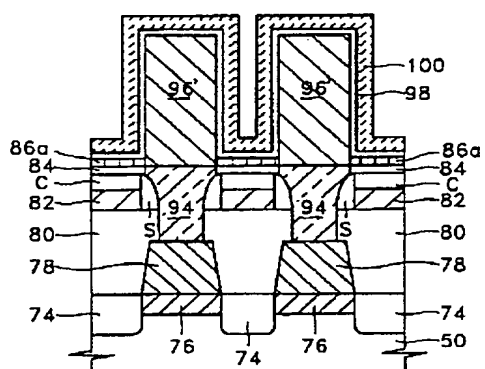
【図15】



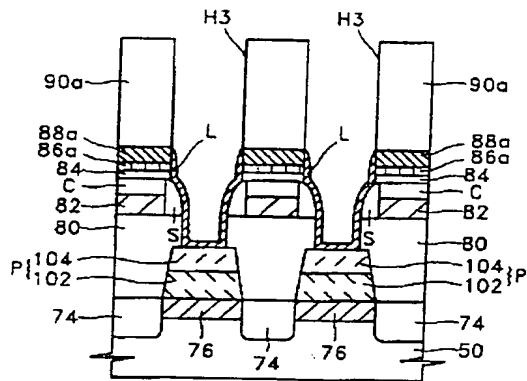
【図16】



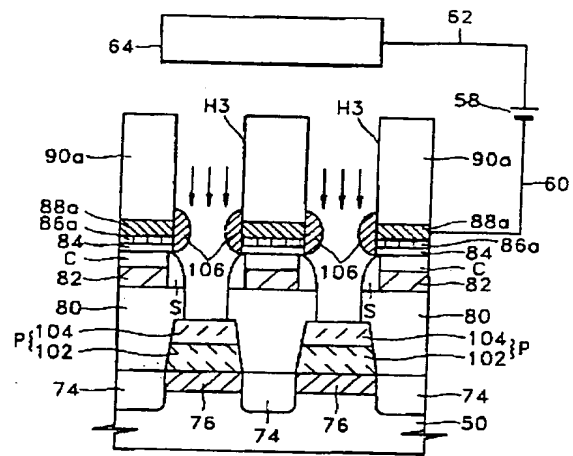
【図17】



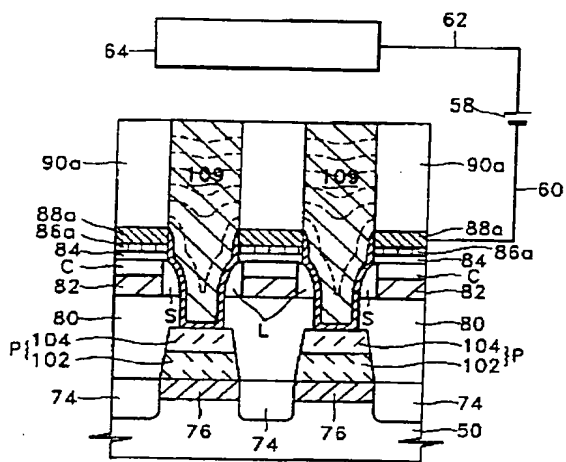
【図18】



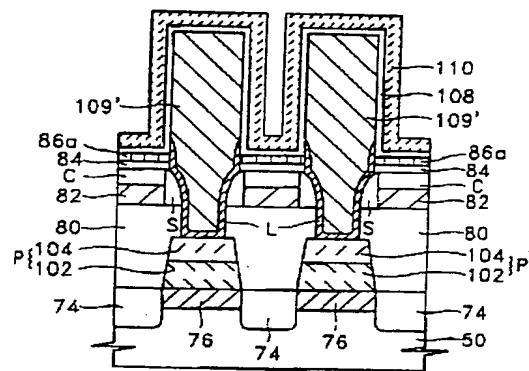
【図19】



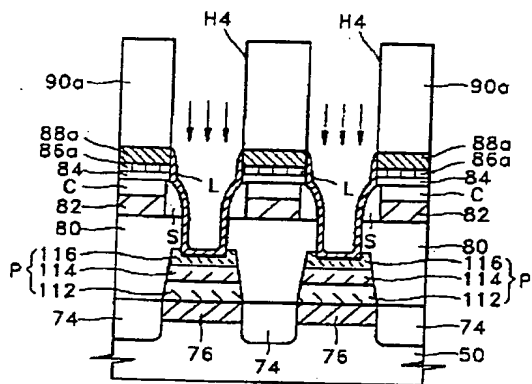
【図20】



【図21】



【図22】



【図23】

